

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of : Customer Number: 20277  
Atsuhiro MORI : Confirmation Number: 6279  
Serial No.: 10/764,484 : Group Art Unit: 2182  
Filed: January 24, 2004 : Examiner:  
For: INFORMATION PROCESSING APPARATUS AND MEMORY ACCESS  
ARRANGING METHOD

TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Mail Stop CPD  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

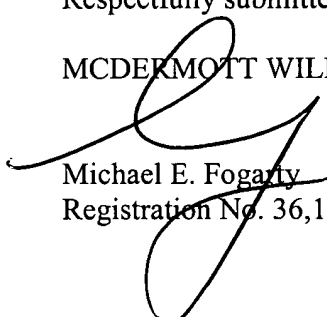
At the time the above application was filed, priority was claimed based on the following  
application:

**Japanese Patent Application No. JP 2003-017437, filed on January 27, 2003.**

A copy of each priority application listed above is enclosed.

Respectfully submitted,

MCDERMOTT WILL & EMERY LLP

  
Michael E. Fogarty  
Registration No. 36,139

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
202.756.8000 MEF:gav  
Facsimile: 202.756.8087  
**Date: August 5, 2004**

10/764,484

August 5, 2004

日本国特許 *McDermott Will & Emery LLP*  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

出願年月日 2003年 1月27日  
Date of Application:

出願番号 特願2003-017437  
Application Number:  
[JP2003-017437]  
ST. 10/C]:

願人 松下電器産業株式会社  
Applicant(s):

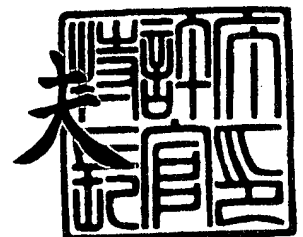
CERTIFIED COPY OF  
PRIORITY DOCUMENT

BEST AVAILABLE COPY

2004年 2月 5日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 5037940140

【提出日】 平成15年 1月27日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 12/00

【発明者】

    【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

    【氏名】 森 敦弘

【特許出願人】

    【識別番号】 000005821

    【氏名又は名称】 松下電器産業株式会社

【代理人】

    【識別番号】 100105647

    【弁理士】

    【氏名又は名称】 小栗 昌平

    【電話番号】 03-5561-3990

【選任した代理人】

    【識別番号】 100105474

    【弁理士】

    【氏名又は名称】 本多 弘徳

    【電話番号】 03-5561-3990

【選任した代理人】

    【識別番号】 100108589

    【弁理士】

    【氏名又は名称】 市川 利光

    【電話番号】 03-5561-3990

## 【選任した代理人】

【識別番号】 100115107

【弁理士】

【氏名又は名称】 高松 猛

【電話番号】 03-5561-3990

## 【選任した代理人】

【識別番号】 100090343

【弁理士】

【氏名又は名称】 栗宇 百合子

【電話番号】 03-5561-3990

## 【手数料の表示】

【予納台帳番号】 092740

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0002926

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 情報処理装置およびメモリアクセス調停方法

【特許請求の範囲】

【請求項 1】 データ記憶手段と、

前記データ記憶手段に対してアクセスする第 1 と第 2 のデータ入出力手段と、

前記第 2 のデータ入出力手段にクロックを供給するクロック生成手段と、

前記第 1 のデータ入出力手段と前記第 2 のデータ入出力手段の前記データ記憶手段に対するアクセスを切替える切替え手段と、

前記第 1 のデータ入出力手段と前記第 2 のデータ入出力手段の前記データ記憶手段に対するアクセスが競合した場合に、前記第 2 のデータ入出力手段に対するクロックをウェイトさせ、前記第 1 のデータ入出力手段のアクセスを先に実行させ、前記第 1 のデータ入出力手段のアクセス終了後に前記第 2 のデータ入出力手段のアクセスを開始させるアクセス調停手段とを備えること

を特徴とする情報処理装置。

【請求項 2】 内蔵メモリと、

前記内蔵メモリに格納されたデータを処理するプロセッサと、

前記プロセッサにクロック信号を供給するクロック生成手段と、

外部制御装置からの指示を受けて前記内蔵メモリへのアクセスを実行する入出力制御手段と、

前記プロセッサと前記入出力制御手段の前記内蔵メモリへのアクセスが競合した場合に、前記クロック信号をウェイトさせるためのウェイト要求信号を発生し、前記入出力制御手段のアクセスを優先させるアクセス調停手段とを備えることを特徴とする情報処理装置。

【請求項 3】 請求項 2 に記載の情報処理装置であって、

前記プロセッサと前記入出力制御手段の前記内蔵メモリへのアクセスを切替える選択手段をさらに備えており、

前記アクセス調停手段は、前記プロセッサの前記内蔵メモリへのアクセス中に前記入出力制御手段の前記内蔵メモリへのアクセス要求が発生すると、前記選択手段へ制御信号を出力し、

前記制御信号を受けた前記選択手段は、前記プロセッサのアクセスを前記入出力制御手段の前記内蔵メモリへのアクセスに切替えることを特徴とする情報処理装置。

【請求項 4】 請求項 2 に記載の情報処理装置であって、  
前記プロセッサのウェイト動作前に前記内蔵メモリが出力していたリードデータを前記プロセッサのウェイト動作中に保持しておく保持手段を備え、  
前記アクセス調停手段は、前記プロセッサへ供給するリードデータを、前記内蔵メモリが出力するリードデータと前記保持手段が保持しているリードデータとの間で切替えることを特徴とする情報処理装置。

【請求項 5】 データ記憶手段と、前記データ記憶手段に対してアクセスする第 1 と第 2 のデータ入出力手段とを含む情報処理装置のメモリアクセス調停方法であって、

前記第 1 のデータ入出力手段と前記第 2 のデータ入出力手段の前記データ記憶手段に対するアクセスが競合した場合に、前記第 2 のデータ入出力手段に対するクロックをウェイトさせるステップと、

前記第 1 のデータ入出力手段のアクセスを先に実行するステップと、

前記第 1 のデータ入出力手段のアクセス終了後に前記第 2 のデータ入出力手段のクロックウェイトを解除し、前記第 2 のデータ入出力手段のアクセスを実行するステップとを含む

メモリアクセス調停方法。

【請求項 6】 命令をパイプライン処理するプロセッサと、前記プロセッサに内蔵されるメモリと、前記メモリに対して前記プロセッサよりも高い優先度でアクセスを実行する入出力制御手段とを含む情報処理装置のメモリアクセス調停方法であって、

前記プロセッサと前記入出力制御手段の前記メモリへのアクセスが競合した場合に、前記プロセッサに供給しているクロックをウェイトさせるウェイト要求信号を発生するステップと、

前記プロセッサのアクセスを前記入出力制御手段の前記メモリへのアクセスに

、切替えるステップと、

前記入出力制御手段の前記メモリへのアクセス終了後に前記プロセッサのクロックウェイトを解除し、前記プロセッサの前記メモリへのアクセスを実行するステップとを含む

メモリアクセス調停方法。

【請求項 7】 命令をパイプライン処理するプロセッサと、前記プロセッサに内蔵されるメモリと、前記メモリに対して前記プロセッサよりも高い優先度でアクセスを実行する入出力制御手段と、前記プロセッサのウェイト動作前に前記メモリが出力していたリードデータを前記プロセッサのウェイト動作中に保持しておく保持手段とを有する情報処理装置のメモリアクセス調停方法であって、

前記プロセッサが前記メモリに対して連続リードアクセスしている期間に前記入出力制御手段のリードアクセスが競合した場合に、前記プロセッサのウェイト動作前に前記メモリが出力していたリードデータを保持するステップと、

前記プロセッサに供給しているクロックをウェイトさせるステップと、

前記入出力制御手段の前記メモリへのアクセスを実行するステップと、

前記入出力制御手段の前記メモリへのアクセス終了後に前記プロセッサのクロックウェイトを解除し、前記保持手段に保持しているデータを前記プロセッサへ供給し、前記メモリへの前記プロセッサのアクセスを再開するステップとを含むメモリアクセス調停方法。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】

本発明は、プロセッサに内蔵されるメモリ装置に対し、外部から高速で書き込みまたは読み出しが可能な外部入出力機構を備えた情報処理装置およびそのメモリ装置に対するアクセスが競合した場合のメモリアクセス調停方法に関するものである。

【0002】

【従来の技術】

従来、一つのメモリ装置に対して、複数の制御装置から書き込み、読み出しを

実現する場合、デュアルポートメモリを使用するのがもっとも容易な実現方法であった。しかし、近年 L S I 市場がシステム L S I 重視へと移行し、回路規模が増大しているため、大きなチップ面積を占有するデュアルポートメモリは、大容量のメモリを必要とするシステム L S I においては、コストの観点から不利となる。そこで、チップ面積を削減するためシングルポートメモリを使用することが考えられるが、複数の制御装置からアクセスする場合のタイミングによっては、アクセスの競合が発生するため、アクセスの調停をおこなう必要がある。

#### 【0 0 0 3】

複数の制御装置からのアクセスの調停方法として、従来の方法は以下のようにしてアクセスを調停する。第 1 の制御装置がメモリへアクセス中に、第 1 の制御装置よりも優先度の高い第 2 の制御装置からのアクセスがあった場合、第 1 の制御装置のメモリへのアクセスが終了するまで第 2 の制御装置をウェイト（待機）させ、第 1 の制御装置のメモリへのアクセスが終了すると第 2 の制御装置のメモリへのアクセスを開始させる。また、第 2 の制御装置がメモリへのアクセスを実行中は第 1 の制御装置のメモリへのアクセスは一切禁止され、第 2 の制御装置が第 1 の制御装置に対して優先的にメモリにアクセスできるようにする（例えば特許文献 1 参照）。

#### 【0 0 0 4】

すなわち、最初にアクセスを行った方の制御装置がアクセス実行中は、後からアクセスを行った制御装置は、最初にアクセスを行った制御装置のアクセスが終了するまでメモリへアクセスすることができない。

#### 【0 0 0 5】

##### 【特許文献 1】

特開平 9 - 1 9 8 2 9 8 号公報

#### 【0 0 0 6】

##### 【発明が解決しようとする課題】

しかしながら、複数の制御装置のどちらかの制御装置からのアクセスを優先したい場合が考えられる。例えばプロセッサ内蔵メモリへの外部入出力機構を介した外部プロセッサからのアクセスを考えた場合、外部プロセッサからのプロセッ



サ内蔵メモリへのアクセスは長時間のアクセスとはならないが、外部プロセッサが高速動作を必要とするため、常に外部プロセッサからのアクセスを優先したいという要望がある。

#### 【0007】

このようなプロセッサ内蔵メモリに対して高速なアクセスを必要とする外部入出力機構を備えたプロセッサに上記の手法を適用すると、プロセッサコアがメモリにアクセスしている間に外部入出力機構からメモリへアクセスが発生した場合、外部入出力機構はプロセッサコアのアクセスが終了するまでウェイトがかけられ、外部入出力機構のアクセス速度が低下する。

#### 【0008】

すなわち、プロセッサのメモリへのアクセス状態によって外部入出力機構のアクセス速度が低下する場合が存在する。従って、この機構を外部プロセッサからプロセッサ内蔵メモリへの外部入出力機構を介したデータ授受などに応用した場合、外部アクセス速度の低下を招き、ひいては最終セットの動作速度の低下にもつながる。

#### 【0009】

本発明は、上記従来の問題点を解決するもので、プロセッサがメモリに対していかなるアクセス状態にある場合にも、常に優先的でかつウェイトなしの高速アクセスが可能な外部入出力機構を実現する情報処理装置およびメモリアクセス調停方法を提供することを目的とする。

#### 【0010】

##### 【課題を解決するための手段】

請求項1の発明は、データ記憶手段と、データ記憶手段に対してアクセスする第1と第2のデータ入出力手段と、第2のデータ入出力手段にクロックを供給するクロック生成手段と、第1のデータ入出力手段と第2のデータ入出力手段のデータ記憶手段に対するアクセスを切替える切替え手段と、第1のデータ入出力手段と第2のデータ入出力手段のデータ記憶手段に対するアクセスが競合した場合に、第2のデータ入出力手段に対するクロックをウェイトさせ、第1のデータ入出力手段のアクセスを先に実行させ、第1のデータ入出力手段のアクセス終了後

に第2のデータ入出力手段のアクセスを開始させるアクセス調停手段とを備える。

#### 【0011】

上記構成によれば、データ記憶手段に対してアクセスする第1と第2のデータ入出力手段においてアクセス競合が発生した場合に、一方のデータ入出力手段のクロックをウェイトさせてアクセス調停を行うことにより、第1と第2のデータ入出力手段のどちらか一方から、常に優先的でかつウェイトなしの高速アクセスを実現することができる。

#### 【0012】

請求項2の発明は、内蔵メモリと、内蔵メモリに格納されたデータを処理するプロセッサと、プロセッサにクロック信号を供給するクロック生成手段と、外部制御装置からの指示を受けて内蔵メモリへのアクセスを実行する入出力制御手段と、プロセッサと入出力制御手段の内蔵メモリへのアクセスが競合した場合に、クロック信号をウェイトさせるためのウェイト要求信号を発生し、入出力制御手段のアクセスを優先させるアクセス調停手段とを備える。

#### 【0013】

上記構成によれば、内蔵メモリに対してアクセスするプロセッサと外部制御装置においてアクセス競合が発生した場合に、外部制御装置のアクセスを優先させてアクセス調停を行うことにより、外部制御装置から内蔵メモリへのデータ授受の速度を向上させることができる。

#### 【0014】

請求項3の発明は、請求項2記載の情報処理装置であって、プロセッサと入出力制御手段の内蔵メモリへのアクセスを切替える選択手段をさらに備えており、アクセス調停手段は、プロセッサの内蔵メモリへのアクセス中に入出力制御手段の内蔵メモリへのアクセス要求が発生すると、選択手段へ制御信号を出力し、制御信号を受けた選択手段は、プロセッサのアクセスを入出力制御手段の内蔵メモリへのアクセスに切替える。

#### 【0015】

上記構成によれば、プロセッサが内蔵メモリに対してアクセスする場合におい

て、内蔵メモリに対して外部制御装置からデータを書き込みまたは読み出す際、プロセッサのアクセスを入出力制御手段のアクセスに切替えることにより、プロセッサに優先する外部制御装置の高速アクセスを実現することができる。

#### 【0016】

請求項4の発明は、請求項2記載の情報処理装置であって、プロセッサのウェイト動作前に内蔵メモリが出力していたリードデータをプロセッサのウェイト動作中に保持しておく保持手段を備え、アクセス調停手段は、プロセッサへ供給するリードデータを、内蔵メモリが出力するリードデータと保持手段が保持しているリードデータとの間で切替える。

#### 【0017】

上記構成によれば、プロセッサがメモリに対して連続でアクセスする場合においても、内蔵メモリが出力するリードデータと保持手段が保持しているリードデータを切替えることにより、そのアクセス状態に依存することなく高速アクセスを実現することができる。

#### 【0018】

請求項5の発明は、データ記憶手段と、データ記憶手段に対してアクセスする第1と第2のデータ入出力手段とを含む情報処理装置のメモリアクセス調停方法であって、第1のデータ入出力手段と第2のデータ入出力手段のデータ記憶手段に対するアクセスが競合した場合に、第2のデータ入出力手段に対するクロックをウェイトさせるステップと、第1のデータ入出力手段のアクセスを先に実行するステップと、第1のデータ入出力手段のアクセス終了後に第2のデータ入出力手段のクロックウェイトを解除し、第2のデータ入出力手段のアクセスを実行するステップとを含む。

#### 【0019】

上記構成によれば、データ記憶手段に対してアクセスする第1と第2のデータ入出力手段においてアクセス競合が発生した場合に、一方のデータ入出力手段のクロックをウェイトさせてアクセス調停を行うことにより、第1と第2のデータ入出力手段のどちらか一方から、常に優先的にかつウェイトなしの高速アクセスを実現することができる。

## ・ 【0020】

請求項6の発明は、命令をパイプライン処理するプロセッサと、プロセッサに内蔵されるメモリと、メモリに対してプロセッサよりも高い優先度でアクセスを実行する入出力制御手段とを含む情報処理装置のメモリアクセス調停方法であって、プロセッサと入出力制御手段のメモリへのアクセスが競合した場合に、プロセッサに供給しているクロックをウェイトさせるウェイト要求信号を発生するステップと、プロセッサのアクセスを入出力制御手段のメモリへのアクセスに切替えるステップと、入出力制御手段のメモリへのアクセス終了後にプロセッサのクロックウェイトを解除し、プロセッサのメモリへのアクセスを実行するステップとを含む。

## 【0021】

上記構成によれば、プロセッサが内蔵メモリに対してアクセスする場合において、内蔵メモリに対して外部からデータを書き込みまたは読み出す際、プロセッサのアクセスを入出力制御手段のアクセスに切替えることにより、プロセッサに優先する高速アクセスを実現することができる。また、プロセッサに対しては、外部入出力手段とのアクセスが競合した場合に、1パイプラインステージウェイトするだけでアクセス再開が可能な高速アクセスを実現することができる。

## 【0022】

請求項7の発明は、命令をパイプライン処理するプロセッサと、プロセッサに内蔵されるメモリと、メモリに対してプロセッサよりも高い優先度でアクセスを実行する入出力制御手段と、プロセッサのウェイト動作前にメモリが出力していたリードデータをプロセッサのウェイト動作中に保持しておく保持手段とを有する情報処理装置のメモリアクセス調停方法であって、プロセッサがメモリに対して連続リードアクセスしている期間に入出力制御手段のリードアクセスが競合した場合に、プロセッサのウェイト動作前にメモリが出力していたリードデータを保持するステップと、プロセッサに供給しているクロックをウェイトさせるステップと、入出力制御手段のメモリへのアクセスを実行するステップと、入出力制御手段のメモリへのアクセス終了後にプロセッサのクロックウェイトを解除し、保持手段に保持しているデータをプロセッサへ供給し、メモリへのプロセッサの

アクセスを再開するステップとを含む。

### 【0023】

上記構成によれば、プロセッサがメモリに対して連続でアクセスする場合においても、保持手段に保持しているデータをプロセッサへ供給し、メモリへのプロセッサのアクセスを再開することにより、そのアクセス状態に依存することなく高速アクセスを実現することができる。

### 【0024】

#### 【発明の実施の形態】

以下、本発明の実施の形態について図面を参照しながら説明する。

#### （第1の実施の形態）

図1は本発明の第1の実施の形態の情報処理装置を示す構成図である。図1において、情報処理装置150は、データ記憶装置101と、データ記憶装置101に対してアクセス優先度の高い第1のデータ入出力装置102と、アクセス優先度の低い第2のデータ入出力装置103と、第2のデータ入出力装置103にクロックを供給するクロック生成装置104と、アクセス調停装置109と、制御信号セクタ112とを備える。

### 【0025】

アクセス調停装置109は、第1のデータ入出力装置102の制御信号106と第2のデータ入出力装置103の制御信号108を監視し、データ記憶装置101へ供給する制御信号114とライトデータ113を、第1のデータ入出力装置102と第2のデータ入出力装置103の間で切替えるためのアクセス選択信号110と、第1のデータ入出力装置102と第2のデータ入出力装置103のデータ記憶装置101へのアクセスが競合した場合に、第2のデータ入出力装置103をウェイトさせるクロックウェイト要求信号111を生成する。

### 【0026】

制御信号セクタ112は、アクセス調停装置109から出力されるアクセス選択信号110を受けて、第1のデータ入出力装置102からデータ記憶装置101へ供給されるライトデータ105および制御信号106と、第2のデータ入出力装置103からデータ記憶装置101へ供給されるライトデータ107およ

び制御信号108を切替える。

#### 【0027】

以上のように構成された本実施の形態について、以下、その動作を図2のフローチャートを用いて説明する。アクセス調停装置109は、第1のデータ入出力装置102と第2のデータ入出力装置103のデータ記憶装置101へのアクセス状態を監視する(S201)。データ記憶装置101へのアクセスがない状態(S200)から第1のデータ入出力装置102のみにアクセスがあった場合(S201のA)、アクセス調停装置109は制御信号セクタ112を第1のデータ入出力装置102側に切替え(S202)、第1のデータ入出力装置102がデータ記憶装置101へアクセスを実行する(S203)。このあと、第1のデータ入出力装置102のデータ記憶装置101へのアクセスが終了した場合は(S203のA)、データ記憶装置101へのアクセスが終了する(S204)。

#### 【0028】

一方、第1のデータ入出力装置102のデータ記憶装置101へのアクセスが終了する前に第2のデータ入出力装置103からのアクセスがあった場合(S203のB)、アクセス調停装置109はアクセス競合を検出し、第2のデータ入出力装置103に対してクロックウェイト要求信号111を出力し、第2のデータ入出力装置103はウェイト状態に入る(S205)。この後、第1のデータ入出力装置102がデータ記憶装置101へアクセスを実行する(S206)。

#### 【0029】

第1のデータ入出力装置102のデータ記憶装置101へのアクセスが終了すると、第2のデータ入出力装置103のウェイト状態は解除され(S207)、アクセス調停装置109は制御信号セクタ112を第2のデータ入出力装置103側に切替え(S208)、第2のデータ入出力装置103がデータ記憶装置101へアクセスを実行する(S209)。

#### 【0030】

データ記憶装置101へのアクセスがない状態(S200)から第2のデータ入出力装置102のみにアクセスがあった場合(S201のC)も、アクセス調

停装置 109 は制御信号セクタ 112 を第 2 のデータ入出力装置 103 側に切替え (S208)、第 2 のデータ入出力装置 103 がデータ記憶装置 101 へアクセスを実行する (S209)。この後、第 2 のデータ入出力装置 103 のデータ記憶装置 101 へのアクセスが終了した場合は (S209 の B)、データ記憶装置 101 へのアクセスが終了する (S204)。

#### 【0031】

一方、第 2 のデータ入出力装置 103 のデータ記憶装置 101 へのアクセスが終了する前に第 1 のデータ入出力装置 102 からのアクセスがあった場合 (S209 の A)、またはデータ記憶装置 101 へのアクセスがない状態 (S200) から第 1 のデータ入出力装置 102 と第 2 のデータ入出力装置 103 が同時にデータ記憶装置 101 へアクセスした場合 (S201 の B)、アクセス調停装置 109 はアクセス競合を検出し、第 2 のデータ入出力装置 103 に対してクロックウェイト要求信号 111 を出力し、第 2 のデータ入出力装置 103 はウェイト状態に入る (S210)。この後、アクセス調停装置 109 は制御信号セクタ 112 を第 1 のデータ入出力装置 102 側に切替え (S211)、第 1 のデータ入出力装置 102 がデータ記憶装置 101 へアクセスを実行する (S206)。ステップ S207 以降の動作は前述のとおりである。

#### 【0032】

以上のように本実施の形態によれば、データ記憶手段となるデータ記憶装置 101 と、第 1 のデータ入出力手段となる第 1 のデータ入出力装置 102 と、第 2 のデータ入出力手段となる第 2 のデータ入出力装置 103 と、クロック生成手段となるクロック生成装置 104 と、アクセスを切替える切替え手段となる制御信号セクタ 112 と、アクセスを調停するアクセス調停手段となるアクセス調停装置 109 を備え、第 1 のデータ入出力装置 102 と第 2 のデータ入出力装置 103 からデータ記憶装置 101 に対するアクセスが競合した場合に、第 2 のデータ入出力装置 103 のクロックをウェイトさせ、第 1 のデータ入出力装置 102 のアクセスを先に実行し、第 1 のデータ入出力装置 102 のアクセス終了時に第 2 のデータ入出力装置 103 のクロックウェイトを解除し、第 2 のデータ入出力装置 103 のアクセスを実行するので、第 1 のデータ入出力装置 102 が常に優

先してデータ記憶装置 101 にアクセス可能なアクセス調停が、クロックのウェイト制御を行うだけの小規模な回路構成で実現可能である。

### 【0033】

(第2の実施の形態)

図3は本発明の第2の実施の形態の情報処理装置の概略構成を示すブロック図である。図3において情報処理装置350は、クロック生成部301と、プロセッサに内蔵されてプロセッサ外部からもアクセスが可能なプロセッサ内蔵メモリ部304と、命令をパイプライン処理するプロセッサコア部305と、プロセッサコア部305よりもプロセッサ内蔵メモリ304に対するアクセスの優先度が高い外部入出力制御部310と、外部入出力制御部310から出力されるプロセッサ側リードデータ320を保持するリードデータ保持部322と、プロセッサコア部305と外部入出力制御部310からアクセスが同時に発生した場合にウェイト要求信号316を生成するアクセス調停部315とを備える。

### 【0034】

クロック生成部301は、クロック発振部338と、ウェイト要求信号316の入力中はクロック発振部338から供給されるクロックを停止し、整数倍の周期を持つクロックを生成するクロックウェイト制御部337とを備える。クロック302はクロック発振部338から出力されるウェイト制御のないクロックである。クロック303はクロックウェイト制御部337から出力されるウェイト制御されたクロックである。

### 【0035】

プロセッサコア部305は、メモリ部304からのリードデータ323を受け取るメモリアクセス制御部330と、複数のフリップフロップ331, 332, 333, 334とを有し、メモリ部304にアクセスするためのプロセッサ側アドレス306、プロセッサ側チップセレクト(CS)信号307、リードイネーブル信号(RE)、ライトイネーブル信号(WE)等のメモリ装置制御信号308とプロセッサ側ライトデータ309を生成する。

### 【0036】

外部入出力制御部310は、外部入出力信号同期化部336とメモリアクセス



セクタ部 335 とを有する。外部入出力信号同期化部 336 は、プロセッサの外部からメモリ部 304 へのデータの書き込みと読み出しのため、外部入出力アドレス 325、外部入出力リードイネーブル・ライトイネーブル (RE/WE) 信号 326、外部入出力ライトデータ 327 を受け付け、プロセッサ内蔵メモリ部 304 にアクセスするための同期化された外部入出力側アドレス 311、外部入出力側チップセレクト (CS) 信号 312、外部入出力側ライトイネーブル・リードイネーブル (WE/RE) 信号 313 等のメモリ装置制御信号および外部入出力側ライトデータ 314 を生成する。メモリアクセスセクタ部 335 は、外部入出力信号同期化部 336 からのメモリ制御信号およびライトデータと、プロセッサコア部 305 からのメモリ制御信号およびライトデータとを切替え、プロセッサ内蔵メモリ 304 にライトデータ 317 およびメモリ制御信号 318 を供給し、プロセッサ内蔵メモリ 304 からのリードデータ 319 をプロセッサコア部 305 と外部プロセッサ 328 へ切替えることで、リードデータ保持部 322 にプロセッサ側リードデータ (保持無し) 320 を供給し、外部プロセッサ 328 に外部入出力側リードデータ 321 を供給する。プロセッサ内蔵メモリ 304 は、メモリアクセスセクタ部 335 にリードデータ 319 を出力する。

#### 【0037】

アクセス調停部 315 は、プロセッサコア部 305 からのライトイネーブル信号、リードイネーブル信号 308 と、外部入出力制御部 310 内で生成されるライトイネーブル信号、リードイネーブル信号 313 を監視し、プロセッサコア部 305 側のメモリ制御信号およびライト・リードデータと、外部入出力制御部 310 側のメモリ制御信号およびライト・リードデータとを切替えるため、外部入出力制御部 310 内のメモリアクセスセクタ部 335 へセクタ制御信号 324 を供給する。また、アクセス調停部 315 は、プロセッサコア部 305 からプロセッサ内蔵メモリ部 304 へのアクセスと、外部入出力制御部 310 からプロセッサ内蔵メモリ部 304 へのアクセスが同時に発生した場合に、プロセッサコア部 305 に供給するクロックをウェイトさせるためのウェイト要求信号 316 を生成する。

#### 【0038】

リードデータ保持部 322 は、外部入出力制御部 310 内のメモリアクセスセクタ部 335 から出力されるプロセッサ側リードデータ（保持無し）320 を保持し、プロセッサコア部 305 にプロセッサ側リードデータ 323 を供給する。

#### 【0039】

図 4 はリードデータ保持部 322 の構成を示す回路図である。図 4 においてリードデータ保持部 322 は、フリップフロップイネーブル信号 411 が「1」のサイクルの次のクロックの立ち上がりでデータを更新し、外部入出力制御部 310 のメモリアクセスセクタ部 335 から出力されるリードデータ 320 を保持しておくフリップフロップ 401 と、プロセッサ側リードイネーブル（RE）信号 308 をウェイト制御のないクロック 302 の 1 サイクル分タイミングを遅らせるフリップフロップ 403 と、ウェイト要求信号 316 をウェイト制御のないクロック 302 の 1 サイクル分タイミングを遅らせるフリップフロップ 405 とを備える。さらに、プロセッサ側リードイネーブル（RE）信号 308 と、1 サイクル遅れたプロセッサ側リードイネーブル信号 404 と、1 サイクル遅れたウェイト要求信号 406 との論理積をとる AND ゲート 407 と、AND ゲート 407 の出力信号であるセクタ制御信号 408 が「1」のときプロセッサ側リードデータ 323 に保持データ出力 402 を出力し、セクタ制御信号 408 が「0」のときプロセッサ側リードデータ 323 にリードデータ 320 を出力するセクタ 409 と、1 サイクル遅れたプロセッサ側リードイネーブル信号 404 と、1 サイクル遅れたウェイト要求信号 406 の負論理の論理積をとり、フリップフロップイネーブル信号を生成する AND ゲート 410 とを備える。

#### 【0040】

以上のように構成された本実施の形態について、以下、その動作を図 5 のフローチャートを用いて説明する。メモリ 304 は、外部入出力制御部 310 とプロセッサコア部 305 のメモリ 304 へのアクセス状態を監視する（S501）。メモリ 304 へのアクセスがない状態（S500）から外部入出力制御部 310 のみにアクセスがあった場合（S501 の A）、アクセス調停部 315 は外部入出力制御部 310 内のメモリアクセスセクタ部 335 を外部入出力制御部 31

0 側に切替え（S 5 0 2）、外部入出力制御部 3 1 0 がメモリ 3 0 4 へアクセスを実行する（S 5 0 3）。このあと、外部入出力制御部 3 1 0 のメモリ 3 0 4 へのアクセスが終了した場合は（S 5 0 3 の A）、メモリ 3 0 4 へのアクセスが終了する（S 5 0 4）。

#### 【0041】

一方、外部入出力制御部 3 1 0 のメモリ 3 0 4 へのアクセスが終了する前にプロセッサコア部 3 0 5 からのアクセスがあった場合（S 5 0 3 の B）、アクセス調停部 3 1 5 はアクセス競合を検出しプロセッサコア部 3 0 5 に対してウェイト要求信号 3 1 6 を出力し、プロセッサコア部 3 0 5 はウェイト状態に入る（S 5 0 5）。その後、外部入出力制御部 3 1 0 がメモリ 3 0 4 にアクセスを実行する（S 5 0 6）。外部入出力制御部 3 1 0 のメモリ 3 0 4 へのアクセスが終了すると、プロセッサコア部 3 0 5 のウェイト状態は解除される（S 5 0 7）。

#### 【0042】

アクセス競合がプロセッサコア部 3 0 5 のメモリ 3 0 4 への連続リードアクセス発生中に起こっていた場合（S 5 0 8 の Y）は、プロセッサコア部 3 0 5 のリードデータとしてリードデータ保持部 3 2 2 の保持しているデータを供給する（S 5 0 9）。

#### 【0043】

一方、アクセス競合の発生がプロセッサコア部 3 0 5 のメモリ 3 0 4 への連続リードアクセス発生中ではない場合（S 5 0 8 の N）は、プロセッサコア部 3 0 5 のリードデータとしてプロセッサ側リードデータ（保持無し）3 2 0 を供給する。その後、アクセス調停部 3 1 5 は外部入出力制御部 3 1 0 内のメモリアクセスセクタ部 3 3 5 をプロセッサコア部 3 0 5 側に切替え（S 5 1 0）、プロセッサコア部 3 0 5 がメモリ 3 0 4 へアクセスを実行する（S 5 1 1）。

#### 【0044】

なお、メモリ 3 0 4 へのアクセスがない状態（S 5 0 0）からプロセッサコア部 3 0 5 のみにアクセスがあった場合（S 5 0 1 の C）も、アクセス調停部 3 1 5 は外部入出力制御部 3 1 0 内のメモリアクセスセクタ部 3 3 5 をプロセッサコア部 3 0 5 側に切替え（S 5 1 0）、プロセッサコア部 3 0 5 がメモリ 3 0 4

へアクセスを実行する（S511）。このあと、プロセッサコア部305のメモリ304へのアクセスが終了した場合は（S511のB）、メモリ304へのアクセスが終了する（S504）。

#### 【0045】

一方、プロセッサコア部305のメモリ304へのアクセスが終了する前に外部入出力制御部310からのアクセスがあった場合（S511のA）、またはメモリ304へのアクセスがない状態（S500）から外部入出力制御部310とプロセッサコア部305が同時にメモリ304へアクセスした場合（S501のB）、アクセス調停部315はアクセス競合を検出しプロセッサコア部305に対してウェイト要求信号316を出力し、プロセッサコア部305はウェイト状態に入る（S512）。この後、アクセス調停部315は外部入出力制御部310内のメモリアクセスセクタ部335を外部入出力制御部310側に切替え（S513）、外部入出力制御部310がメモリ304へアクセスを実行する（S506）。以降の動作は前述のとおりである。

#### 【0046】

さらに本発明の実施の形態にかかる情報処理装置について、以下、その動作の詳細を図6、図7のタイミングチャートを用いて説明する。図6のタイミングチャートは、プロセッサコア部305が単発でプロセッサ内蔵メモリ304にアクセスした場合に外部入出力制御部310からのプロセッサ内蔵メモリ304へのアクセスが競合を起こした場合を示す。図7のタイミングチャートは、プロセッサコア部305が連続でプロセッサ内蔵メモリ304にリードアクセスしている期間に外部入出力制御部310からプロセッサ内蔵メモリ304へのアクセスが競合を起こした場合を示す。

#### 【0047】

図6において、プロセッサ側リードイネーブル信号308と、外部入出力側リードイネーブル信号313が図6のAのタイミングにおいて同時に発生した場合、図3のアクセス調停部315がアクセス競合を検出し、図3のクロック生成部301に対して、ウェイト要求信号316を供給する。

#### 【0048】

これにより、図3のクロック生成部301はプロセッサコア部305に供給するウェイト制御されたクロック303を図6のBタイミングで1サイクルウェイトさせる。プロセッサコア部305から出力しているプロセッサ側アドレス306、プロセッサ側CS信号307、プロセッサ側リードイネーブル（RE）信号308は、それぞれプロセッサコア部305内部にあるフリップフロップ331～334を介して出力しているため、プロセッサコア部305のウェイト期間中であるタイミングBではタイミングAでの出力の状態を保持している。

#### 【0049】

このとき、図3のアクセス調停部315は図3の外部入出力制御部310内のメモリアクセスセクタ部335を制御する。そして、外部入出力制御部310内のメモリアクセスセクタ部335はプロセッサ内蔵メモリ304に対して、図6のタイミングAの期間、すなわちプロセッサコア部305がウェイト動作する1サイクル前の期間は外部入出力制御部310からのメモリ制御信号を供給し、図6のタイミングBの期間、すなわちプロセッサコア部305がウェイト動作している期間はプロセッサコア部305からのメモリ制御信号を供給する。

#### 【0050】

これによって図6のタイミングBの期間、すなわちプロセッサコア部305がウェイト動作している期間にプロセッサ内蔵メモリ304は外部入出力制御部310のアクセスによるリードデータをリードデータ319として出力し、図6のタイミングCの期間、すなわちプロセッサがウェイトから復帰した最初の1サイクルの期間ではプロセッサコア部305のアクセスによるリードデータをリードデータ319として出力する。図6のタイミングCの期間では、図4のセクタ制御信号408は「0」となっており、プロセッサ側リードデータ323にはリードデータ319がプロセッサ側リードデータ（保持無し）320を經由して供給される。

#### 【0051】

図7のタイミングチャートにおいて、プロセッサコア部305が連続でプロセッサ内蔵メモリ304にリードアクセスを実行している最中に、図7のタイミングAの期間でプロセッサ内蔵メモリ304に外部入出力制御部310からアクセ

スがあった場合、図6の場合と同様に図7のタイミングAの期間でウェイト要求信号316が発生し、タイミングBの期間でプロセッサコア部305はウェイト動作に入る。

#### 【0052】

このとき、図6の場合と同様に、図7のタイミングBの期間でプロセッサ内蔵メモリ304は外部入出力制御部310のアクセスによるリードデータをリードデータ319に出力し、図7のタイミングCの期間でプロセッサコア部305のアクセスによるリードデータをリードデータ319に出力する。

#### 【0053】

しかしながら、このときプロセッサコア部305のプロセッサ内蔵メモリ304へのアクセスと外部入出力制御部310のアクセスが競合する1サイクル前のプロセッサコア部305のプロセッサ内蔵メモリ304へのリード命令において、この命令のリードデータは図7のタイミングAで出力されており、この次のタイミングBはプロセッサコア部305がウェイト動作に入っているため、プロセッサコア部305がウェイトから復帰したタイミングCではプロセッサコア部305は必要なリードデータを取り込むことが出来ない。

#### 【0054】

そこで、図4のフリップフロップ401によってタイミングAで出力されたリードデータをタイミングBまで保持して保持データ出力402に出力し、さらに図4のANDゲート407によって、プロセッサコア部305の連続リードアクセス中のウェイト動作状態を検出し、タイミングBにおいてセクタ制御信号408を「1」にすることによって、セクタ409はプロセッサ側リードデータ323に保持データ出力402を供給し、プロセッサコア部305のタイミングCにおけるデータ取得を可能にしている。

#### 【0055】

一方、タイミングCにおいてはウェイト状態が解除されているため、セクタ制御信号408は「0」に戻され、セクタ409はプロセッサ側リードデータ323にリードデータ319を供給する。

#### 【0056】

このように、図7に示すようなプロセッサコア部305のプロセッサ内蔵メモリ部304への連続アクセスの最中に外部入出力制御部310からのアクセスが競合した場合にもアクセス調停を可能にしている。

#### 【0057】

以上のように本実施の形態は、命令をパイプライン処理するプロセッサとなるプロセッサコア部305と、プロセッサに内蔵するメモリとなるプロセッサ内蔵メモリ304と、メモリに対して優先してアクセスを実行する入出力制御手段となる外部入出力制御部310と、プロセッサコア部305にクロックを供給するクロック生成手段となるクロック生成部301と、プロセッサコア部305と外部入出力制御部310のプロセッサ内蔵メモリ304へのアクセスを監視し、アクセス調停を行うアクセス調停手段となるアクセス調停部315から構成される。そして、プロセッサコア部305がプロセッサ内蔵メモリ304にアクセスしている期間に外部入出力制御部310がアクセス競合した場合、プロセッサコア部305に供給しているクロックをウェイトさせ、外部入出力制御部310のプロセッサ内蔵メモリ304へのアクセスを実行し、外部入出力制御部310のプロセッサ内蔵メモリ304へのアクセス終了時にプロセッサコア部305のクロックウェイトを解除し、プロセッサコア部305のアクセスを実行する。

#### 【0058】

これにより、プロセッサコア部305が単発でプロセッサ内蔵メモリ304にアクセスする場合、ウェイトすることなく高速でプロセッサ内蔵メモリ304にアクセス可能な外部入出力制御部310を、プロセッサコア部305に供給するクロックをウェイトする回路を追加するだけの小規模な回路で実現することが出来る。

#### 【0059】

さらにプロセッサコア部305に対しては、外部入出力手段とのアクセスが競合した場合に1パイプラインステージウェイトするだけでアクセス再開が可能なアクセス調停が実現可能である。また、メモリからの出力データを保持する保持手段となるリードデータ保持部322を備え、プロセッサコア部305がプロセッサ内蔵メモリ304へ連続でリードアクセスしている際に外部入出力制御部3

10がプロセッサ内蔵メモリ304へアクセスし、アクセス競合が発生した場合にも、リードデータ保持部322に保持しているデータをプロセッサコア部305へ供給しプロセッサ内蔵メモリ304へのアクセスを再開し、プロセッサコア部305の連続アクセス中の外部入出力制御部310からのアクセスも可能にしている。

#### 【0060】

##### 【発明の効果】

請求項1、5の発明によれば、データ記憶手段に対してアクセスする2つのデータ入出力手段においてアクセス競合が発生した場合に、一方のデータ入出力手段のクロックをウェイトさせるだけでアクセス調停を実施するアクセス調停回路を小規模な回路で実現することができる。

#### 【0061】

請求項2、6の発明によれば、プロセッサが内蔵メモリに対して単発でアクセスする場合において、プロセッサ内蔵のメモリに対して外部からデータを書き込みまたは読み出す際、プロセッサに対して優先で、ウェイトすることのない高速アクセスを、プロセッサに供給するクロックをウェイトする回路を追加するだけの小規模な回路で実現することができる。さらにプロセッサに対しては、外部入出力手段とのアクセスが競合した場合に1パイプラインステージウェイトするだけでアクセス再開が可能なアクセス調停回路を実現することができる。

#### 【0062】

請求項3、7の発明によれば、プロセッサがメモリに対して連続でアクセスする場合においても、そのアクセス状態に依存することなく実行可能な外部入出力手段を実現することができる。

##### 【図面の簡単な説明】

#### 【図1】

本発明の第1の実施の形態の情報処理装置を示す構成図。

#### 【図2】

図1に示した情報処理装置の動作を示すフローチャート。

#### 【図3】



本発明の第2の実施の形態の情報処理装置の概略構成を示すブロック図。

【図4】

本発明の実施の形態におけるリードデータ保持部の構成を示す回路図。

【図5】

図3に示した情報処理装置の動作を示すフローチャート。

【図6】

図3に示した情報処理装置の動作の一例（プロセッサが単発アクセスする場合）を示すタイミングチャート。

【図7】

図3に示した情報処理装置の動作の一例（プロセッサが連続アクセスする場合）を示すタイミングチャート。

【符号の説明】

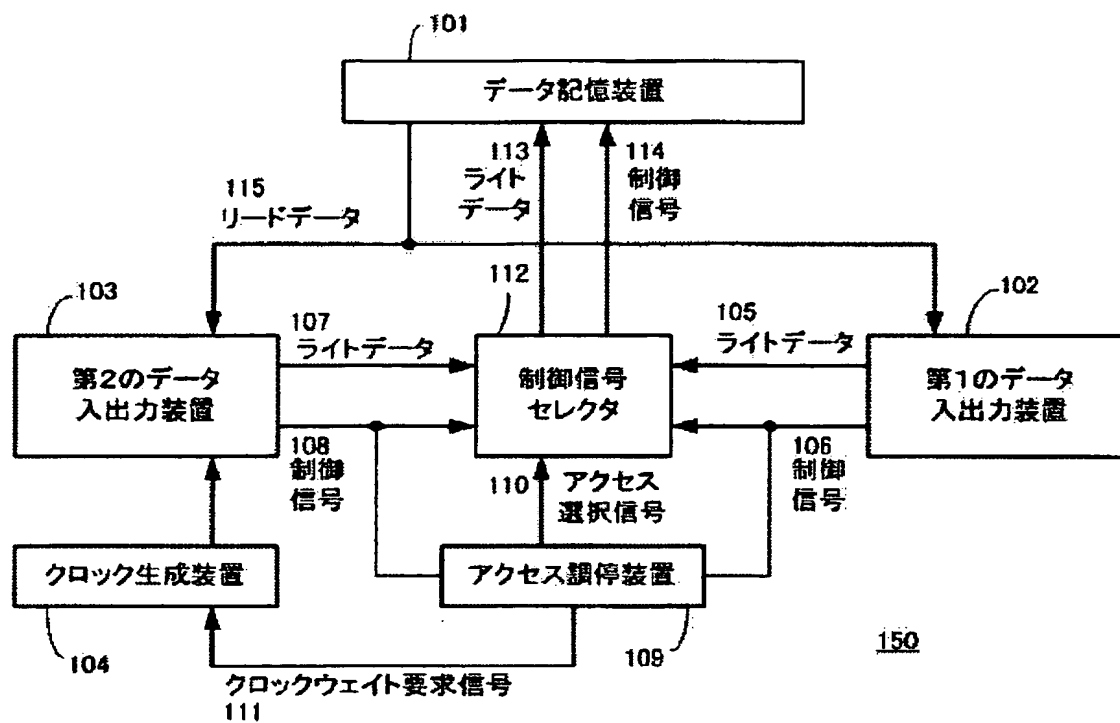
- 101 データ記憶装置
- 102 第1のデータ入出力装置
- 103 第2のデータ入出力装置
- 104 クロック生成装置
- 105 ライトデータ
- 106 制御信号
- 107 ライトデータ
- 108 制御信号
- 109 アクセス調停装置
- 110 アクセス選択信号
- 111 クロックウェイト要求信号
- 112 制御信号セレクタ
- 113 ライトデータ
- 114 制御信号
- 115 リードデータ
- 301 クロック生成部
- 302 ウェイト制御のないクロック

- 303 ウェイト制御されたクロック
- 304 プロセッサ内蔵メモリ部
- 305 プロセッサコア部
- 306 プロセッサ側アドレス
- 307 プロセッサ側CS信号
- 308 プロセッサ側WE/RE信号
- 309 プロセッサ側ライトデータ
- 310 外部入出力制御部
- 311 外部入出力側アドレス
- 312 外部入出力側CS信号
- 313 外部入出力側WE/RE信号
- 314 外部入出力側ライトデータ
- 315 アクセス調停部
- 316 ウェイト要求信号
- 317 ライトデータ
- 318 メモリ制御信号
- 319 リードデータ
- 320 プロセッサ側リードデータ (保持無し)
- 321 外部入出力リードデータ
- 322 リードデータ保持部
- 323 プロセッサ側リードデータ
- 324 セレクタ制御信号
- 325 外部入出力アドレス
- 326 外部入出力WE/RE信号
- 327 外部入出力ライトデータ
- 328 外部プロセッサ
- 330 メモリアクセス制御部
- 331~334 フリップフロップ
- 335 メモリアクセスセレクタ部

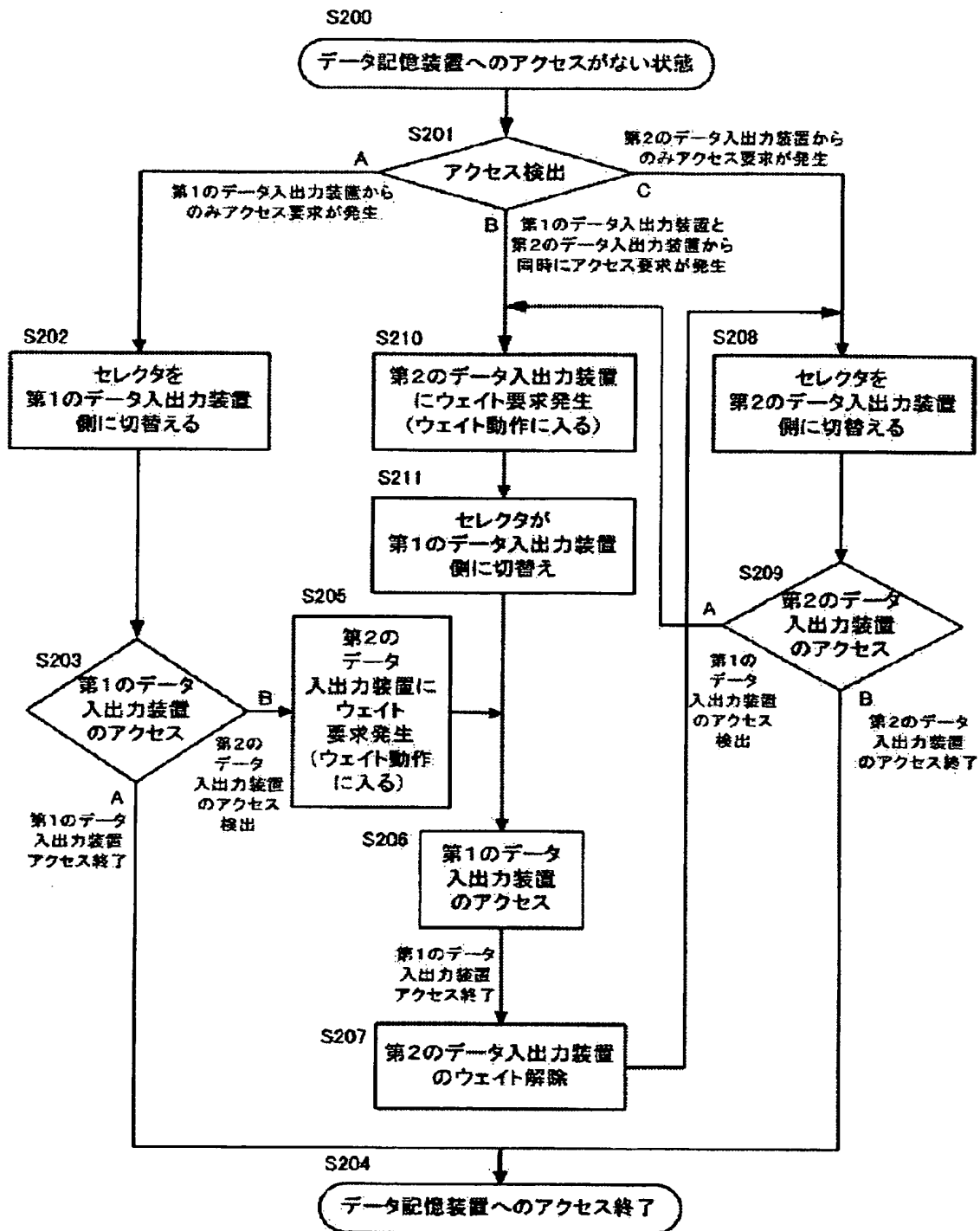
- 3 3 6 外部入出力信号同期化部
- 3 3 7 クロックウェイト制御部
- 3 3 8 クロック発振部
- 4 0 1 フリップフロップ
- 4 0 2 保持データ出力
- 4 0 3 フリップフロップ
- 4 0 4 1 サイクル遅れたプロセッサ側RE信号
- 4 0 5 フリップフロップ
- 4 0 6 1 サイクル遅れたウェイト要求信号
- 4 0 7 ANDゲート
- 4 0 8 セレクタ制御信号
- 4 0 9 セレクタ
- 4 1 0 ANDゲート

【書類名】 図面

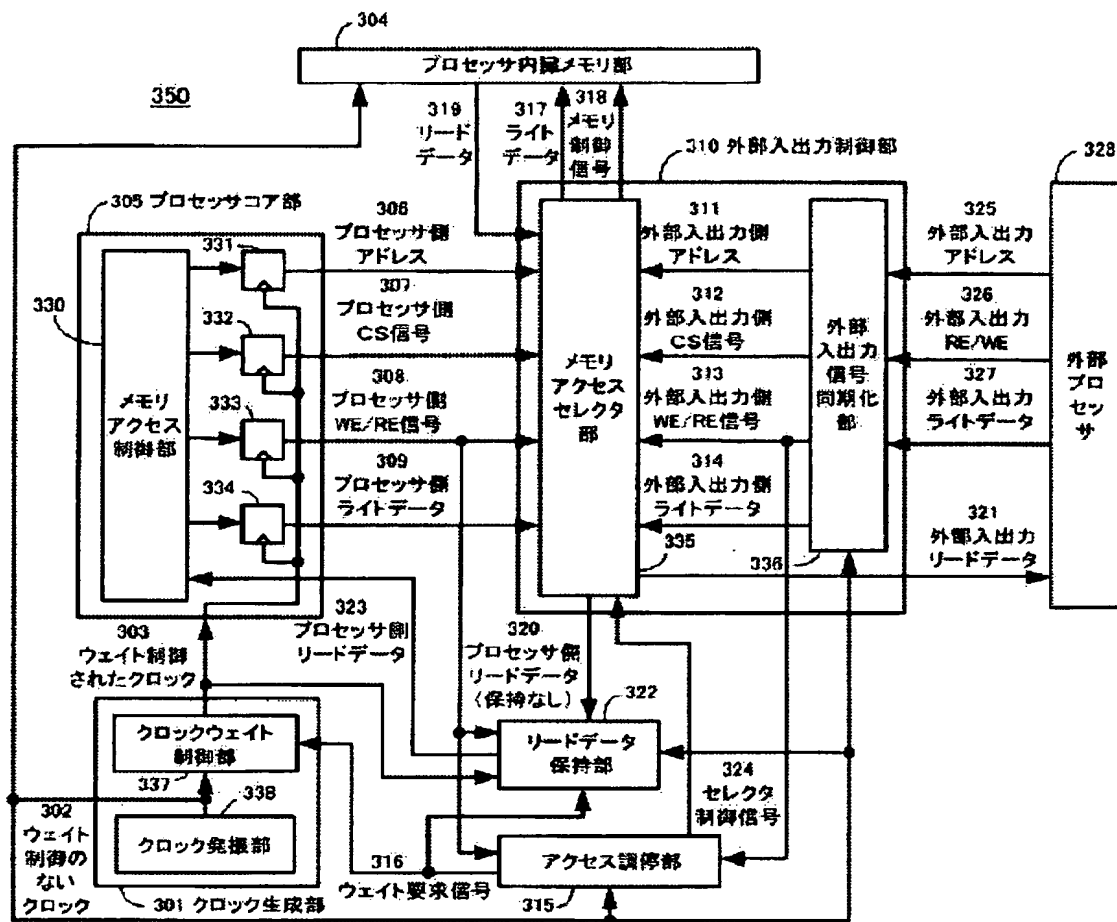
【図 1】



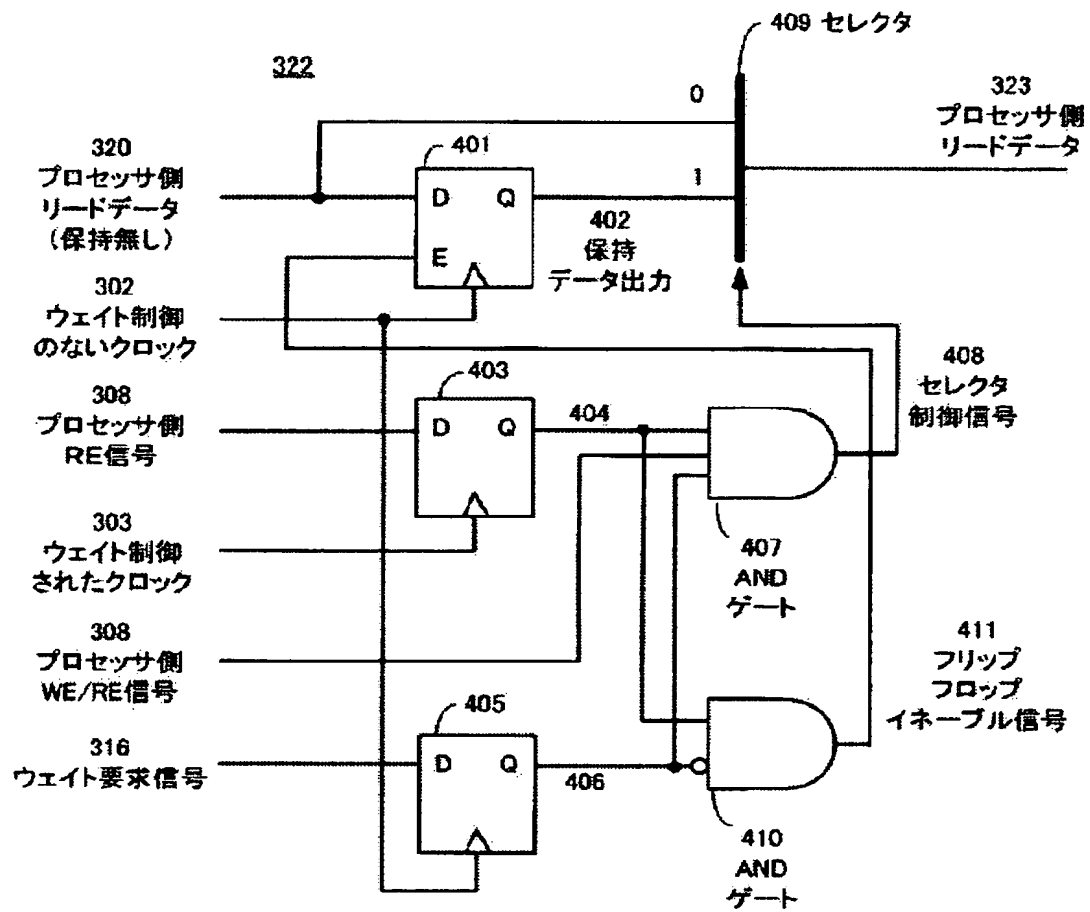
【図 2】



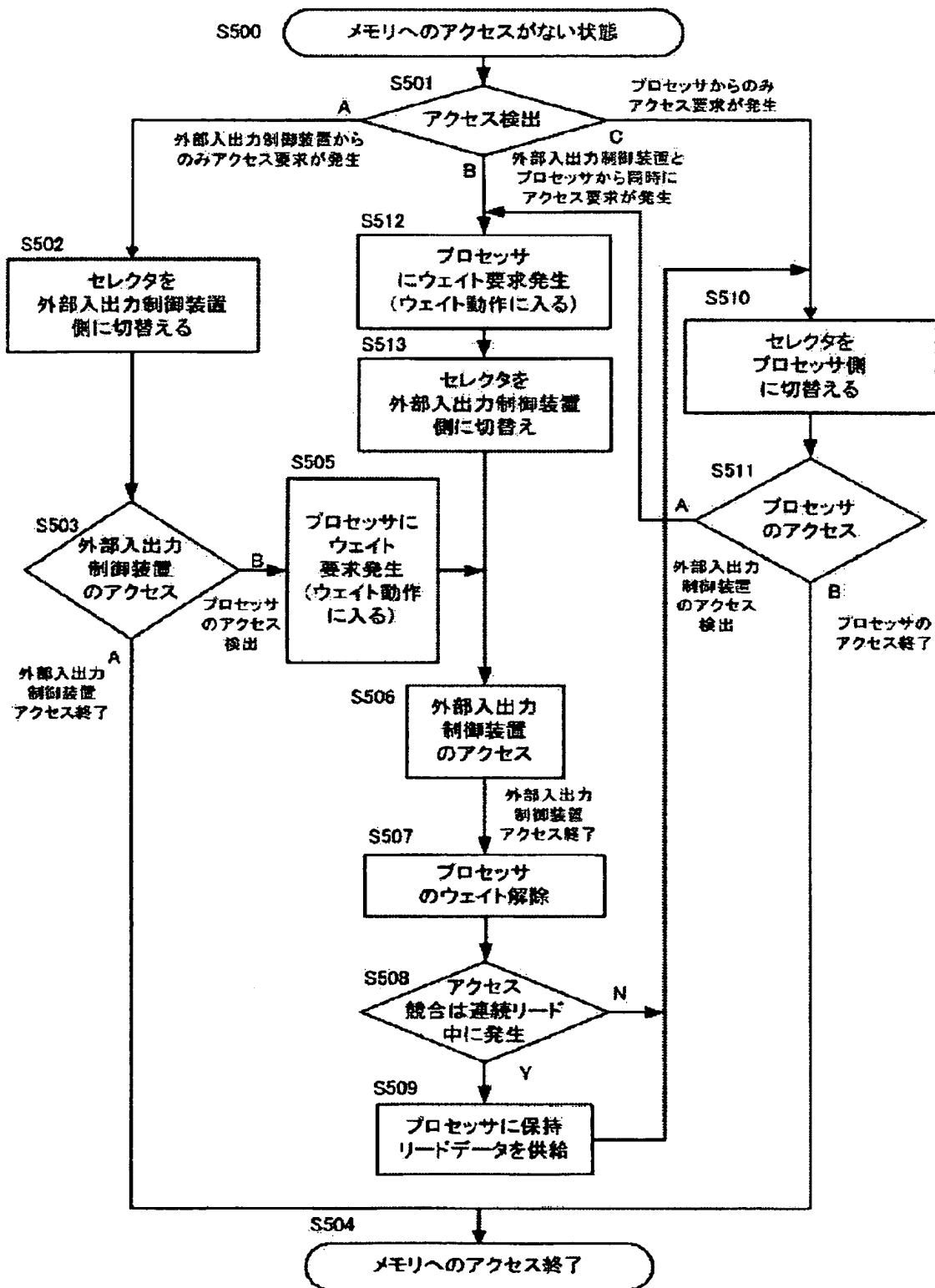
【図3】



【図 4】

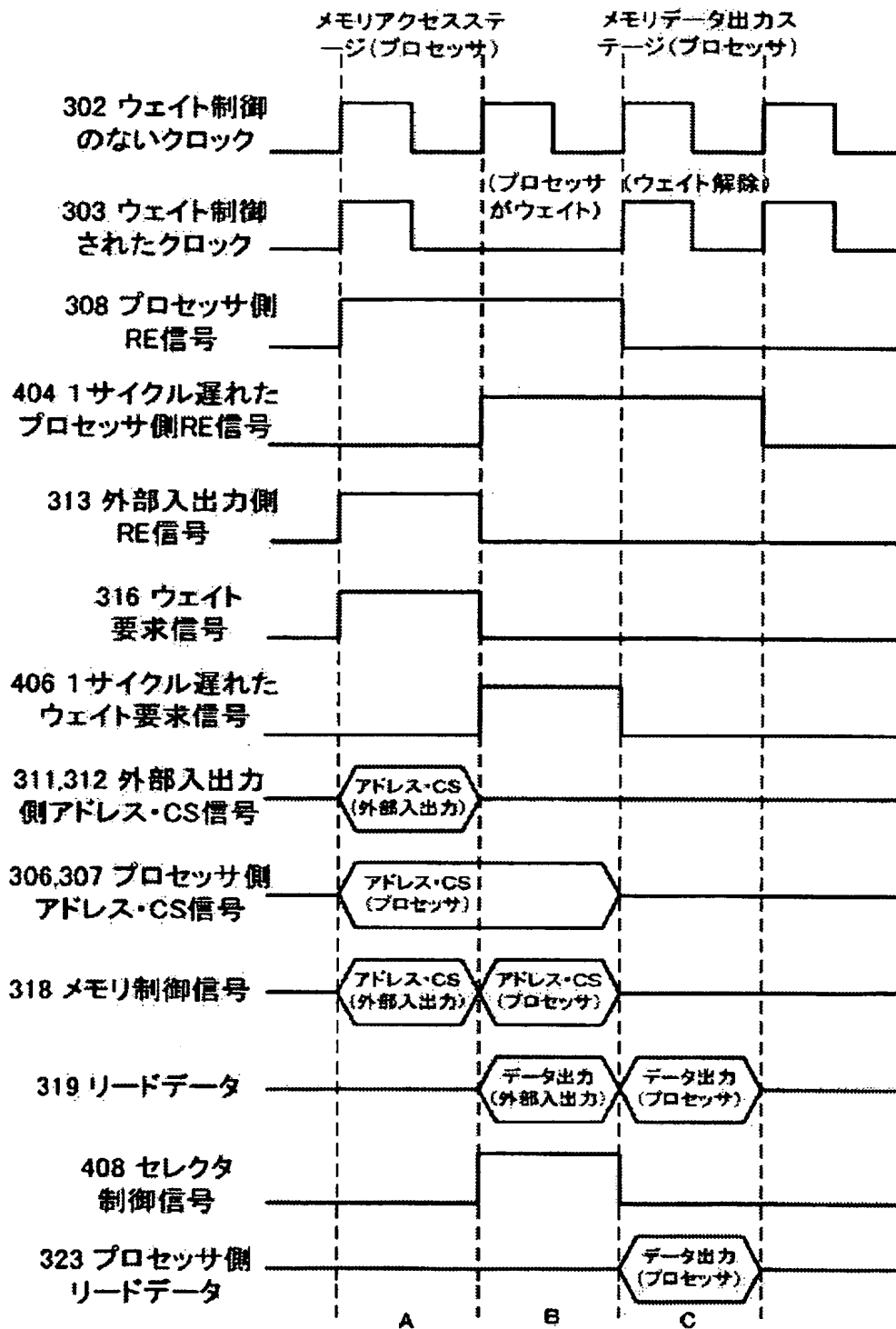


【図 5】

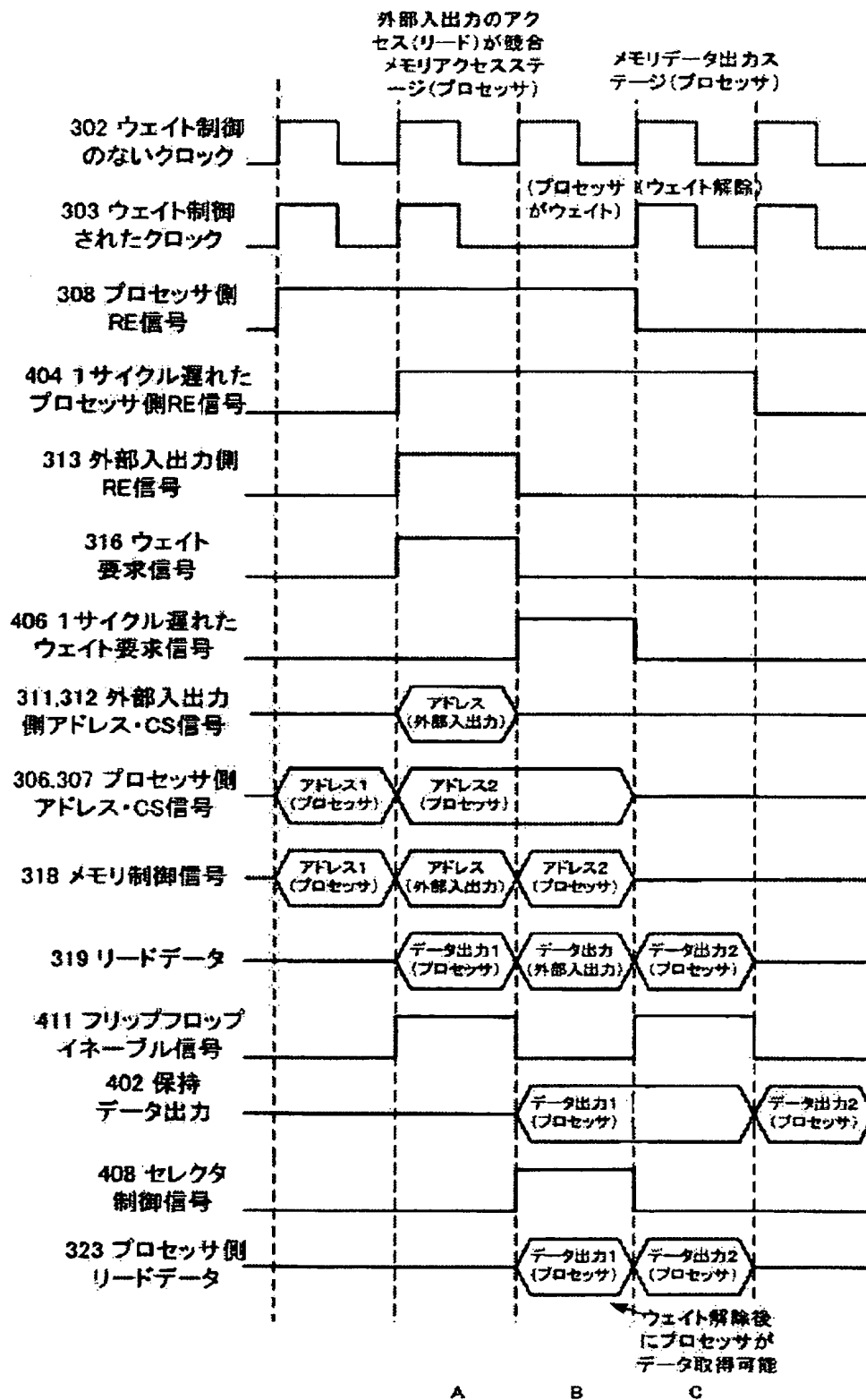




【図 6】



【图 7】



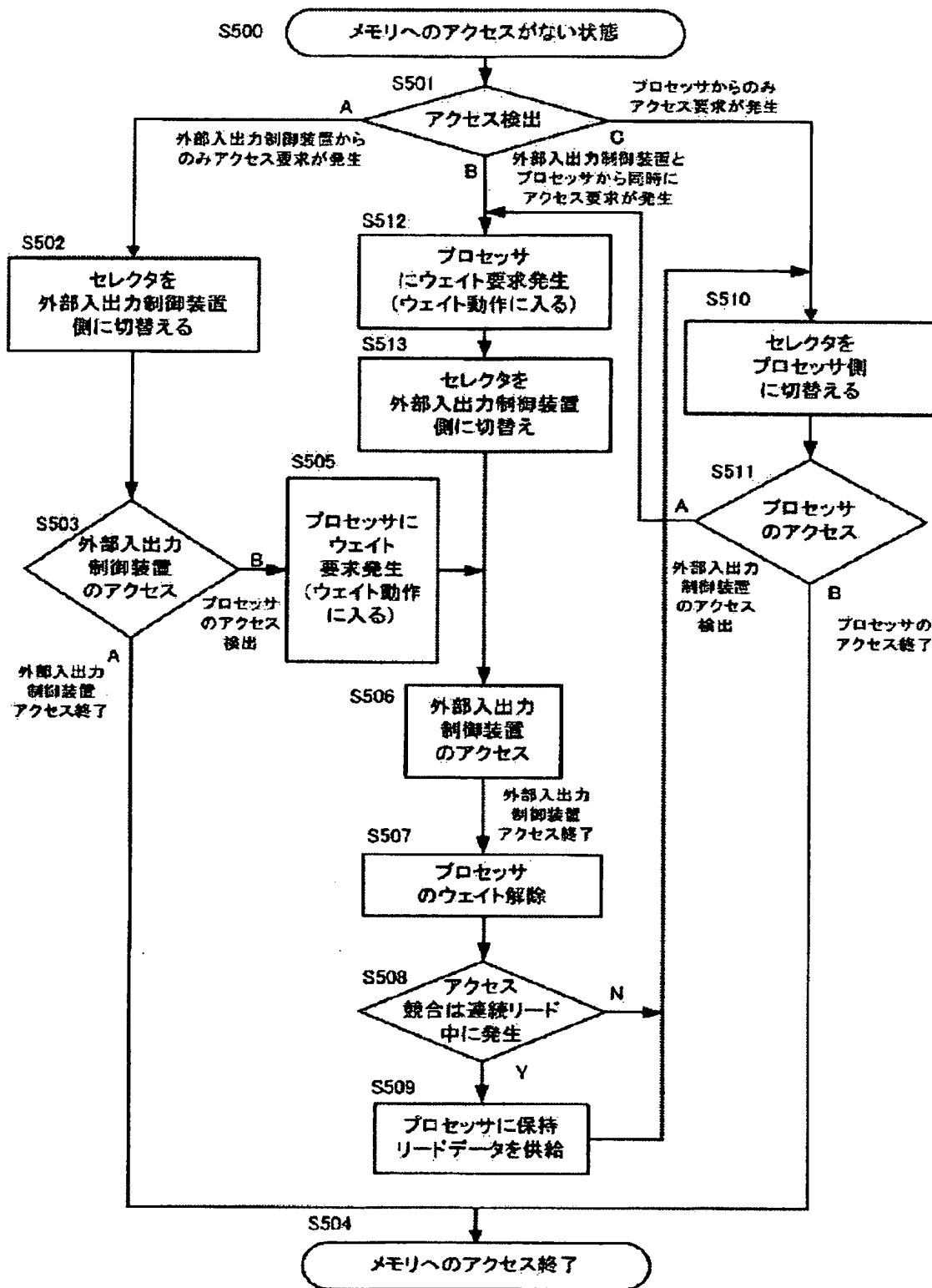
【書類名】 要約書

【要約】

【課題】 プロセッサの内蔵メモリに対して、小規模で常に優先かつ高速なメモリへのデータ入出力機構を実現する。

【解決手段】 命令をパイプライン処理するプロセッサと、プロセッサに内蔵するメモリと、メモリに対し高い優先度でアクセスをする入出力制御手段からなる情報処理装置において、メモリアクセス調停方法は、プロセッサと入出力制御手段のメモリへのアクセスが競合した場合に、プロセッサに供給するクロックをウェイトさせるステップ（S 5 1 2）と、入出力制御手段のメモリへのアクセスを実行するステップ（S 5 0 6）と、入出力制御手段のメモリへのアクセス終了後にプロセッサのクロックウェイトを解除し、プロセッサのメモリへのアクセスを実行するステップ（S 5 0 7、S 5 1 1）からなる。

【図面】 図5



特願 2 0 0 3 - 0 1 7 4 3 7

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 5 8 2 1 ]

1. 変更年月日	1 9 9 0 年 8 月 2 8 日
[変更理由]	新規登録
住 所	大阪府門真市大字門真 1 0 0 6 番地
氏 名	松下電器産業株式会社